

Requested Patent: JP7221318A
Title: THIN FILM TRANSISTOR AND ITS MANUFACTURE ;
Abstracted Patent: JP7221318 ;
Publication Date: 1995-08-18 ;
Inventor(s): HAMADA KOJI ;
Applicant(s): NEC CORP ;
Application Number: JP19940030832 19940203 ;
Priority Number(s): ;
IPC Classification: H01L29/786 ; H01L21/265 ;
Equivalents: JP2842505B2

ABSTRACT:

PURPOSE: To completely deplete a channel area and, at the same time, to improve the ON-current characteristic of a thin film transistor by reducing leakage currents and the resistances of a source area and drain area.

CONSTITUTION: After growing a polysilicon film 3 on a silicon oxide film 2 on a silicon substrate 1, an oxygen ion-implanted layer 5 is formed at the bottom of the polysilicon film 3 by implanting oxygen ions into the bottom of the film 3 through a mask 4. Then a silicon oxide film 6 is formed at the bottom of the film 3 by removing the mask 4 and heat-treating the layer 5. Then, after forming a gate oxide film 7 and gate electrode 8, p-type areas which become a source area and drain area are formed by implanting boron ions into the film 3.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-221318

(43) 公開日 平成7年(1995)8月18日

(51) IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786 21/265		9056-4M	H 0 1 L 29/ 78 21/ 265	3 1 1 H J
審査請求 未請求 請求項の数 7 F D (全 8 頁)				

(21) 出願番号 特願平6-30832

(22) 出願日 平成6年(1994)2月3日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 濱田 耕治

東京都港区芝五丁目7番1号 日本電気株式会社内

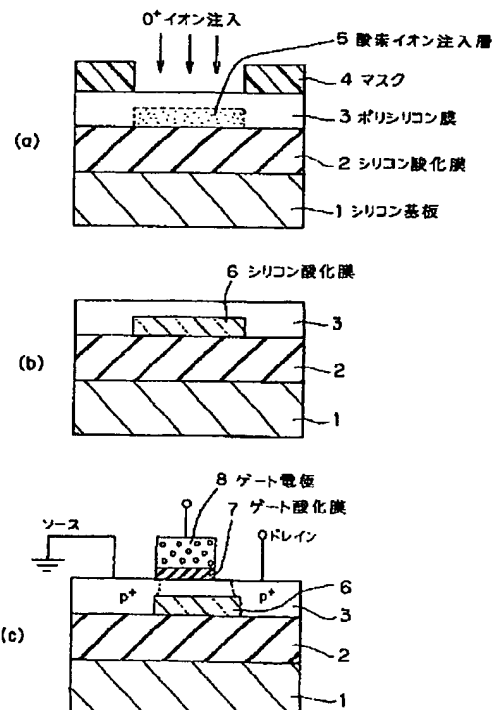
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 薄膜トランジスタとその製造方法

(57) 【要約】

【目的】 チャネル領域を完全に空乏化しうるようにする。リーク電流を低減化すると共にソース・ドレイン抵抗を低くしてオン電流特性を改善する。

【構成】 シリコン基板1上のシリコン酸化膜2上にポリシリコン膜3を成長させ、マスク4を介して酸素イオンを注入してポリシリコン膜3の底部に酸素イオン注入層5を形成する〔(a)図〕。マスク4を除去し熱処理を施してポリシリコン膜3の底部にシリコン酸化膜6を形成する〔(b)図〕。ゲート酸化膜7、ゲート電極8を形成しポリシリコン膜3にボロンをイオン注入してソース・ドレイン領域となるp⁺型領域を形成する〔(c)図〕。



【特許請求の範囲】

【請求項1】 チャネル領域、ソース・ドレイン領域およびゲート電極を備え、絶縁基板または絶縁膜上に形成された薄膜トランジスタにおいて、少なくともチャネル領域下にはソース・ドレイン領域下の部分から隆起した絶縁膜が形成されており該隆起した絶縁膜によりチャネル領域がソース・ドレイン領域よりも薄く形成されていることを特徴とする薄膜トランジスタ。

【請求項2】 前記チャネル領域は、該領域を完全に空乏化することのできる膜厚に形成されていることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】 前記ゲート電極と前記ドレイン領域とはオフセットされており、少なくとも当該オフセット部にまで前記隆起した絶縁膜が延長されていることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項4】 前記ドレイン領域下には、薄膜トランジスタボディ基板電極となる前記ドレイン領域の導電型とは異なる導電型の高不純物濃度の拡散層が形成されていることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項5】 絶縁基板または絶縁膜上に半導体薄膜を形成する工程と、半導体薄膜のチャネル領域となる部分の下部に酸素イオンを注入し熱処理を行って部分的に酸化膜を形成する工程と、ゲート電極を形成する工程と、選択的に不純物を導入してソース・ドレイン領域を形成する工程と、を備えることを特徴とする薄膜トランジスタの製造方法。

【請求項6】 絶縁基板または絶縁膜上に半導体薄膜を形成する工程と、半導体薄膜の薄膜トランジスタ形成予定箇所全体の下部に酸素イオンを注入し、さらに半導体薄膜のチャネル領域となる部分の下部に酸素イオンを注入し熱処理を行って部分的に隆起した酸化膜を形成する工程と、ゲート電極を形成する工程と、選択的に不純物を導入してソース・ドレイン領域を形成する工程と、を備えることを特徴とする薄膜トランジスタの製造方法。

【請求項7】 絶縁基板または絶縁膜上に第1の半導体薄膜を形成する工程と、前記半導体薄膜を部分的にその全膜厚に渡って酸化して隆起酸化膜を形成する工程と、前記隆起酸化膜および前記第1の半導体薄膜上に第2の半導体薄膜を形成する工程と、ゲート電極を形成する工程と、選択的に不純物を導入してソース・ドレイン領域を形成する工程と、を備えることを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、SRAMの負荷素子や液晶デバイスに用いられる薄膜トランジスタおよびその製造方法に関し、特に、完全空乏型 (fully-depletion-type) の薄膜トランジスタおよびその製造方法に関する。

【0002】

【従来の技術】 近年、薄膜トランジスタ (以下、適宜TFTと記す) は、SRAMにおける負荷素子やアクティブマトリックス型LCDにおけるスイッチング素子等に多用されている。このTFTの従来技術について図5(a)、(b)を参照して説明する。図5は、従来のプレーナ構造上部ゲート型薄膜トランジスタの構造を示す断面図であり、図5(a)には、TFTボディ膜が約100nmより厚い場合の例が示されている。本従来例を形成するには、初めにシリコン基板1の上にシリコン酸化膜2を膜厚約600nmに堆積する。

【0003】 次に、シラン (SiH_4) ガスを原料に用い、堆積温度を550℃とした減圧化学気相成長 (LPCVD) 法により基板上に非晶質シリコンを堆積した後、窒素雰囲気中で600℃、12時間の熱処理を施してポリシリコン膜3を形成し、これをTFTボディ膜とする。次に、CVD酸化膜を堆積してゲート酸化膜7を形成し、さらにポリシリコン膜よりなるゲート電極8を形成する。

【0004】 その後、ゲート電極をマスクとして不純物のイオン注入を行いソース・ドレイン領域となる不純物拡散層を形成する。例えば、nチャネル型トランジスタの場合、リンイオンを、加速エネルギー: 70keV、ドーズ量: $2 \times 10^{15} \text{cm}^{-2}$ の条件で注入する。次いで、シリコン酸化膜 (図示なし) を堆積し、不純物活性化の熱処理を行った後、さらに通常のMOSプロセスを適用して本従来例の作製を完了する。

【0005】 図5の(a)の従来例では、TFTボディ膜となるポリシリコンの膜厚が厚いためTFT特性に影響を与える結晶粒径も比較的大きく (～約2 μm)、TFTのオン特性は良好である。しかし、反面チャネル部分のポリシリコンの膜厚が厚くドレイン接合面積も大きいため、リーク電流が大きく、またソース・ドレイン間耐圧も低くなる欠点を有している。

【0006】 上記問題点を改善するために一般的に行われている解決策はTFTチャネル部のポリシリコン膜厚の薄膜化である。この例について図5(b)を用いて説明する。一般にポリシリコン膜はその作製方法にもよるが、LPCVD法で堆積するとノンドープ膜であってもややp型寄りで、濃度換算では～ 10^{17}cm^{-3} 程度である。このため、前述した問題点を解決するための手段の一つとしてのチャネル領域の完全空乏化にはポリシリコンの膜厚を50～70nm以下に設定する必要がある。

【0007】 このため、図5(b)のTFTでは、前述とほぼ同じプロセスを経て、TFTボディとなるポリシリコン膜3の厚さを65nmとしている。このようにして作製したTFT特性では先述した問題点はかなり改善される。これに関する特性図を図6に示す。TFTボディ膜の膜厚を150nmとした場合と65nmの場合のゲート電圧-ドレイン電流 (I_d-V_g) の関係を図6(a)に、ドレイン電圧-ドレイン電流 (I_d-V_d)

3

の関係を図6(b)に示す。図6より明らかなように、上述した問題点がTFTボディ膜を薄膜化することによって改善されている。

【0008】また、特開昭61-105870号公報には、TFTボディ膜であるポリシリコン膜のゲート電極形成個所の表面に酸素イオンを注入して酸化膜を形成しこれをゲート酸化膜として用いるようにして、欠陥の多いCVD酸化膜をゲート酸化膜として用いた場合の不都合を回避する手法が提案されている。

【0009】

【発明が解決しようとする課題】図5(a)に示した構造のTFTでは、TFTボディ膜となるポリシリコン膜の膜厚が厚く、ドレイン端での接合面積が大きいため、リーク電流が大きくなり、さらにチャネルが完全空乏化しないために、バックチャネルによるリーク電流の増加やサブスレショルド特性の悪化等の問題点があり、またドレイン接合端での強電界によってひきおこされるインパクトイオン化によるソース・ドレイン間耐圧の劣化やしきい値のドレイン電圧依存性などの問題点があった。

【0010】また、図5(a)の従来例の改善例である図5(b)のTFT構造でも次のような問題が起こる。TFTボディ膜となるポリシリコン膜をLPCVD法で形成する際に、膜厚が70nmより薄膜化するとポリシリコン膜の結晶性が低下(結晶粒径の小粒径化、配向性のランダム配向化)する。このため、キャリア移動度の低下、しきい値の増加、さらに不純物の活性化率の低下によりソース、ドレイン拡散層の層抵抗の異常増加、コンタクト抵抗の増加等が引き起こされ、その結果、トランジスタ駆動能力の低下を招くなどの問題点が生じてしまう。

【0011】また、特開昭61-105870号公報にて提案されたTFT構造では、ゲート酸化膜がイオン注入によって形成されるものであるため、薄い膜を形成することが困難でしきい値を低くすることができず、またしきい値のばらつきが大きくなるという問題点があった。さらに、イオン注入による酸化膜では良質の酸化膜を形成することが困難でトランジスタの信頼性低下という問題が起こる。また、この構造では、ドレイン領域下にTFTボディ基板電極となる高不純物濃度領域の形成が困難になるという欠点もあった。

【0012】

【課題を解決するための手段】上記各問題点を解決するため、本発明によれば、チャネル領域、ソース・ドレイン領域およびゲート電極を備え、絶縁基板または絶縁膜上に形成され、少なくともチャネル領域下にはソース・ドレイン領域下の部分から隆起した絶縁膜が形成されており該隆起した絶縁膜によりチャネル領域がソース・ドレイン領域よりも薄く形成されることを特徴とする薄膜トランジスタが提供される。

【0013】また、本発明によれば、絶縁基板または絶

4

縁膜上に半導体薄膜を形成する工程と、半導体薄膜のチャネル領域となる部分の下部に酸素イオンを注入し熱処理を行って部分的に酸化膜を形成する工程と、ゲート電極を形成する工程と、ソース・ドレイン領域に不純物を導入する工程と、を備えることを特徴とする薄膜トランジスタの製造方法が提供される。

【0014】

【実施例】次に、本発明の実施例について図面を参照して説明する。

10 【第1の実施例】図1は、本発明の第1の実施例の製造工程の各段階を示す工程断面図である。本実施例はpチャネル型TFTに関するものであって、まず、シリコン基板1上に膜厚600nmのシリコン酸化膜2を形成し、その上に原料ガスとして Si_2H_6 を用い、堆積温度を500℃としてLPCVD(減圧気相成長)法により、膜厚200nmのアモルファスシリコン膜を成長させる。

【0015】次に、窒素雰囲気中において600℃、12時間の熱処理を行ってアモルファスシリコンを結晶化させ、活性層となるポリシリコン膜3を形成する。次いで、フォトリソ等によりチャネル領域部のみに開口を有するマスク4を形成し、酸素イオンを、加速エネルギー:100keV、ドーズ量: $7 \times 10^{17} \text{ cm}^{-2}$ 、基板温度:550℃の条件で注入し、ポリシリコン膜3のチャネル領域となる部分の底部に酸素イオン注入層5を形成する【図1(a)】。本実施例では、酸素のイオン注入の投影飛程がポリシリコン膜表面より約220nm程度の深さに設定されている。

30 【0016】次に、0.2%の酸素を含むアルゴン雰囲気中において、1300℃、6時間の熱処理を行って、将来チャネル領域となるポリシリコン膜の下部にシリコン酸化膜6を形成する【図1(b)】。上述のように、注入酸素の投影飛程がポリシリコン膜3の表面から220nm程度の深さに設定されているため、シリコン酸化膜6は、下地のシリコン酸化膜2上にアイランド状に形成される。このとき、ポリシリコン膜の表面が約50nm酸化されるため、TFTのチャネル部のポリシリコンの膜厚は約50nmとなる。

40 【0017】ポリシリコン膜3の表面に形成されたシリコン酸化膜を除去し、CVD法によりシリコン酸化膜を20nmの厚さに堆積してゲート酸化膜7を形成する。このゲート酸化膜は熱酸化法により形成してもよい。その場合、例えば、ドライ O_2 雰囲気中での1150℃の熱処理が行われる。ゲート酸化膜7上に不純物のドーパされた膜厚200nmのポリシリコン膜を形成しこれをパターンニングしてゲート電極8を形成する。次に、ドレイン領域側にオフセット形成用のマスクを形成し、ソース・ドレイン領域を形成するためにボロンイオンを、加速エネルギー:30keV、ドーズ量: $1 \times 10^{15} \text{ cm}^{-2}$ の条件で注入する。続いて、薄いシリコン酸化膜、層

5

間絶縁膜（いずれも図示なし）を形成し、800℃の熱処理を30分間行って注入イオンの活性化処理を行った後、コンタクトホールを形成し、Al電極を形成して第1の実施例のTFTの製造を完了する。

【0018】上記のように構成することにより、チャネル領域を薄膜化することができ（本実施例においては、膜厚約50nm）、完全空乏型のTFTを実現できる。さらに、ソース、ドレイン領域は比較的に厚い（本実施例においては、膜厚約200nm）ため、ソース、ドレイン抵抗を低く抑えることができる。すなわち、プレーナ型の従来例ではTFTボディを薄膜化した場合にはソース、ドレイン抵抗はキロオームオーダーとなってしまうが、本実施例では数10オームオーダーにまで低減化することができる。

【0019】さらに、ドレイン接合部がゲート電極端からオフセットされた位置にあり、かつ完全空乏型TFTであるために電界緩和の効果は大きく、インパクトイオンによる耐圧劣化を防止することができる（従来構造のものに比較して2〜3V以上の耐圧向上を実現できる）とともにドレイン接合面積の縮小にともなってリーク電流を低減化することができる。

【0020】【第2の実施例】図2は、本発明の第2の実施例の製造工程の各段階を示す工程断面図である。本実施例はnチャネル型TFTに関するものであって、まず、シリコン基板1上に膜厚600nmのシリコン酸化膜2を形成し、その上に原料ガスとしてSi₂H₆を用い、反応室温度を500℃としてLPCVD法により、膜厚200nmのアモルファスシリコン膜を成長させる。

【0021】次に、窒素雰囲気中において600℃、12時間の熱処理を行ってアモルファスシリコンを結晶化させ、活性層となるポリシリコン膜3を形成する。続いて、nチャネル型TFTの活性層となるポリシリコン膜の底部全体に、酸素イオンを、加速エネルギー：70keV、ドーズ量：5×10¹⁷cm⁻²、基板温度：550℃の条件で注入して第1酸素イオン注入層5aを形成する【図2（a）】。

【0022】次に、フォトリソリット等によりチャネル領域部のみに開口を有するマスク4を形成し、酸素イオンを、加速エネルギー：50keV、ドーズ量：7×10¹⁷cm⁻²、基板温度：550℃の条件で注入し、ポリシリコン膜3のチャネル領域となる部分の底部に第2酸素イオン注入層5bを形成する【図2（b）】。次に、0.2%の酸素を含むアルゴン雰囲気中において、1300℃、6時間の熱処理を行って、ポリシリコン膜のTFT形成領域の底部に、将来チャネル領域となる部分の下部に隆起部を有するシリコン酸化膜6aを形成する。このとき、ポリシリコン膜の表面が約50nm酸化されるため、これを除去する【図2（c）】。

【0023】次に、CVD法によりシリコン酸化膜を2

6

0nmの厚さに堆積してゲート酸化膜7を形成し、このゲート酸化膜上にn型不純物のドーパされた膜厚200nmのポリシリコン膜を形成しこれをパターニングしてゲート電極8を形成する。次に、ドレイン領域側にオフセット形成用のマスクを形成し、ソース・ドレイン領域を形成するためにリンイオンを、加速エネルギー：50keV、ドーズ量：1×10¹⁵cm⁻²の条件で注入する。続いて、シリコン酸化膜、層間絶縁膜（いずれも図示なし）を形成し、800℃の熱処理を30分間行って注入イオンを活性化した後、コンタクトホールを形成し、Al電極を形成して第2の実施例のTFTの製造を完了する。

【0024】第2の実施例は上記のように構成されているので、第1の実施例と同様の効果を奏することができるほか、本実施例を適用することにより、同一面内のポリシリコンでnチャネル型トランジスタとpチャネル型トランジスタとをそれぞれ最適の条件で形成できるようになる。

【0025】【第3の実施例】図3は、本発明の第3の実施例の製造工程の各段階を示す工程断面図である。まず、シリコン基板1上に膜厚600nmのシリコン酸化膜2を形成し、その上に原料ガスとしてSi₂H₆を用い、堆積温度を500℃としてLPCVD法により、膜厚100nmのアモルファスシリコン膜を成長させ、続いて、窒素雰囲気中において600℃、12時間の熱処理を行ってポリシリコン膜3aを形成する。次に、このポリシリコン膜3aの表面に薄いシリコン窒化膜9を形成し、フォトリソグラフィ技法を適用してシリコン窒化膜9に窓明けを行う。続いて、酸化性雰囲気中において熱処理を行って、シリコン窒化膜9の窓明け部分のポリシリコン膜3aを全膜厚にわたって酸化してアイランド形状のシリコン酸化膜6bを形成する【図3（a）】。

【0026】シリコン窒化膜9をウェット法により除去しポリシリコン膜3a上の自然酸化膜を除去した後、再びSi₂H₆を原料とするLPCVD法により、膜厚50nmのアモルファスシリコン膜3b'を成長させる【図3（b）】。次に、窒素雰囲気中において600℃、12時間の熱処理を行ってアモルファスシリコンを結晶化させ、活性層となるポリシリコン膜3bを形成する【図3（c）】。

【0027】次に、ポリシリコン膜3bの表面にCVD法または熱酸化法により膜厚20nmのシリコン酸化膜を形成してゲート酸化膜7とし、さらにゲート酸化膜7上にn型の不純物のドーパされた膜厚200nmのポリシリコン膜を形成しこれをパターニングしてゲート電極8を形成する。次に、ドレイン領域側にオフセット形成用のマスクを形成し、ソース・ドレイン領域を形成するためにボロンイオンを、加速エネルギー：30keV、ドーズ量：1×10¹⁵cm⁻²の条件で注入する。

続いて、薄いシリコン酸化膜、層間絶縁膜（いずれも図

示なし)を形成し、800℃の熱処理を30分間行って注入イオンの活性化処理を行った後、コンタクトホールを形成し、Al電極を形成して第3の実施例のTFTの製造を完了する。

【0028】本実施例のトランジスタ構造によれば、第1の実施例と同様の効果を奏することができるほか、第1、第2の実施例の場合と比較して、プロセス最高温度を低く(およそ900℃)抑えることができる。

【0029】[第4の実施例] 図4は、本発明の第4の実施例の製造工程の各段階を示す工程断面図である。まず、シリコン基板1上に膜厚600nmのシリコン酸化膜2を形成し、その上に原料ガスとしてSi₂H₆を用い、成長温度を500℃としてLPCVD法により、膜厚250nmのアモルファスシリコン膜を成長させる。

【0030】次に、窒素雰囲気中において600℃、12時間の熱処理を行ってアモルファスシリコンを結晶化させ、活性層となるポリシリコン膜3を形成する。次いで、フォトレジスト等によりチャネル領域部のみに開口を有するマスク4を形成し、酸素イオンを、加速エネルギー:50keV、ドーズ量:5×10¹⁷cm⁻²、続いて、加速エネルギー:80keV、ドーズ量:7×10¹⁷cm⁻²、基板温度:550℃の条件で注入し、ポリシリコン膜3のチャネル領域となる部分の底部に酸素イオン注入層5を形成する[図4(a)]。

【0031】上記条件のイオン注入によりチャネル部となるポリシリコン膜の表面から約150~250nmの深さの部分に酸素の高濃度領域が形成される。マスク4を除去し、0.2%の酸素を含むアルゴン雰囲気中において、1300℃、10時間の熱処理を行って、将来チャネル領域となるポリシリコン膜の下部にアイランド状のシリコン酸化膜6を形成する[図4(b)]。

【0032】ポリシリコン膜3上に、フォトレジスト等によりドレイン形成領域上に開口を有するマスク4aを形成し、ボロンを、加速エネルギー:70keV、ドーズ量:7×10¹⁴cm⁻²の条件でイオン注入を行い、活性化熱処理を行って、ポリシリコン膜3のドレイン形成領域下部に、TFTボディ基板電極となるp⁺型拡散層10を形成する[図4(c)]。

【0033】マスク4aを除去し、CVD法によりシリコン酸化膜を20nmの厚さに堆積してゲート酸化膜7を形成した後、その上にn型不純物のドーパされた膜厚200nmのポリシリコン膜を形成しこれをパターンニングしてゲート電極8を形成する。次に、ドレイン領域側にオフセット形成用のマスクを形成し、ソース・ドレイン領域を形成するために、リンを、加速エネルギー:50keV、ドーズ量:1×10¹⁵cm⁻²の条件でイオン注入する。続いて、シリコン酸化膜、層間絶縁膜(いずれも図示なし)を形成し、800℃の熱処理を30分間行って注入イオンの活性化処理を行った後、コンタクトホールを形成し、Al電極を形成して第4の実施例のT

F Tの製造を完了する。

【0034】本実施例のTFTは上記のように形成されているので、第1の実施例と同様の効果を奏することができるほか、TFTボディ基板電位を固定することができる、しきい値が制御しやすくなり、かつ電位を十分に制御することができることによってインパクトイオンの発生を抑制する効果も期待することができ、デバイスサイズの微細化に資することができる。

【0035】以上好ましい実施例について説明したが、本発明はこれら実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲内において各種の変更が可能である。また、本発明は、シリコン基板上に形成されたTFTについてばかりでなく、サファイアやガラス基板のような絶縁基板上に形成されたものについても適用しうるものである。

【0036】

【発明の効果】以上説明したように、本発明による薄膜トランジスタは、チャネル領域下に部分的に絶縁膜の隆起物を設けたものであるため、本発明によれば、完全空乏型の薄膜トランジスタをソース、ドレイン領域の抵抗を低く抑えたまま実現することができ、ドレイン接合面積の縮小効果と相まってトランジスタのリーク電流を低減化させることができるとともに耐圧を向上させることができ、またトランジスタのオン特性を向上させることができる。さらに、ドレイン領域をオフセット構造とすることにより耐圧を一層向上させることができる。また、ドレイン領域下にTFTボディ基板電極を設けた実施例によれば、基板電位を制御することができ、しきい値の制御性を向上させることができるとともに安定的に高耐圧化を実現することができる。

【0037】また、本発明は、ゲート酸化膜をイオン注入によって形成することによりチャネル領域を薄膜化したものではないので、しきい値電圧が高くなりまたそのばらつきが大きくなるという問題点を回避することができ、さらにゲート絶縁膜を良質の酸化膜とすることができるので、完全空乏型のTFTを信頼性高く形成することが可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を説明するための工程断面図。

【図2】 本発明の第2の実施例を説明するための工程断面図。

【図3】 本発明の第3の実施例を説明するための工程断面図。

【図4】 本発明の第4の実施例を説明するための工程断面図。

【図5】 第1および第2の従来例の断面図。

【図6】 従来例の問題点を説明するための特性曲線図。

【符号の説明】

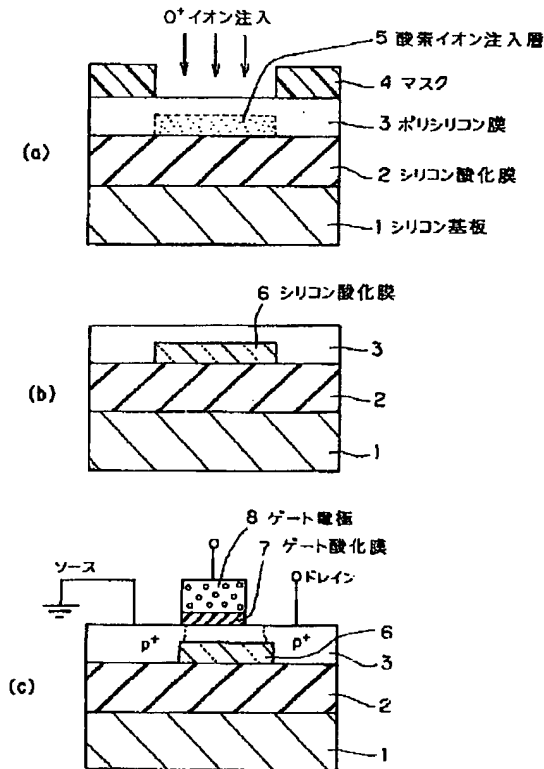
9

10

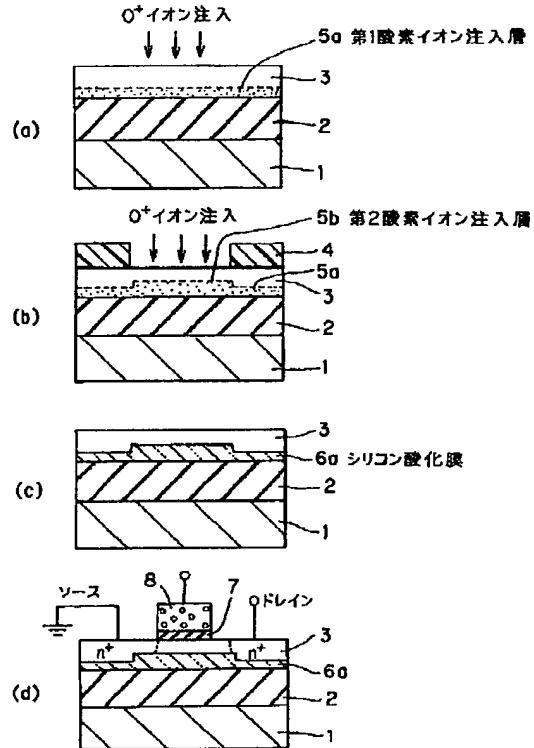
- 1 シリコン基板
- 2 シリコン酸化膜
- 3、3 a、3 b ポリシリコン膜
- 3 b' アモルファスシリコン膜
- 4、4 a マスク
- 5 酸素イオン注入層
- 5 a 第1酸素イオン注入層

- 5 b 第2酸素イオン注入層
- 6、6 a、6 b シリコン酸化膜
- 7 ゲート酸化膜
- 8 ゲート電極
- 9 シリコン窒化膜
- 10 p⁺ 型拡散層

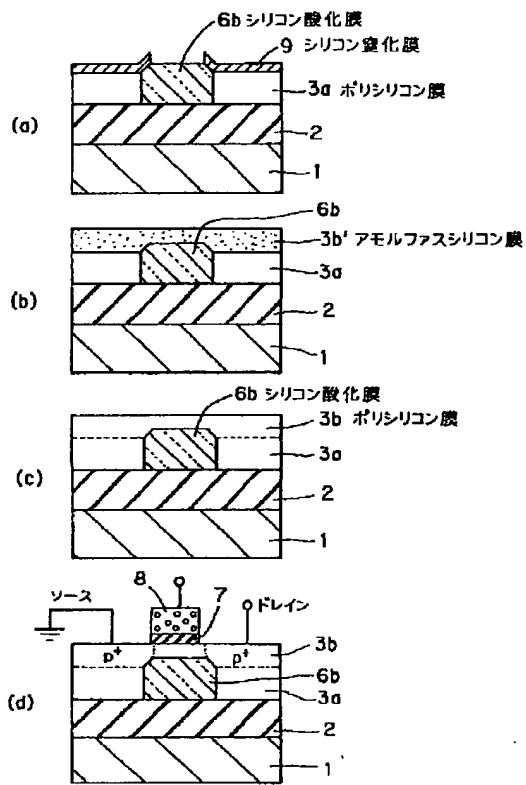
【図1】



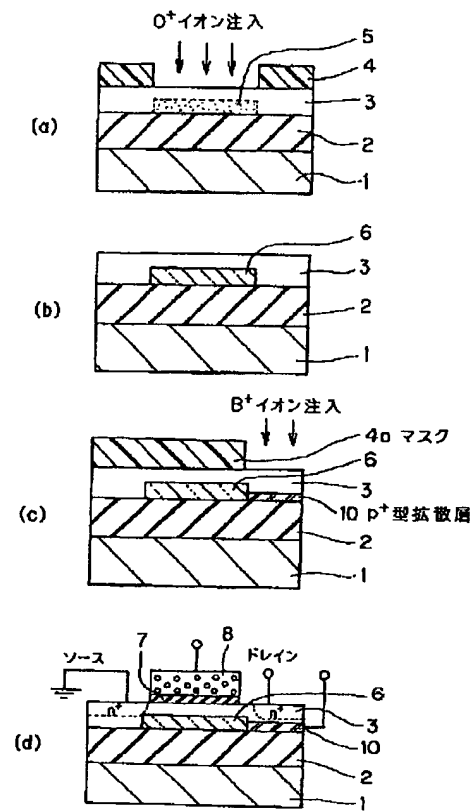
【図2】



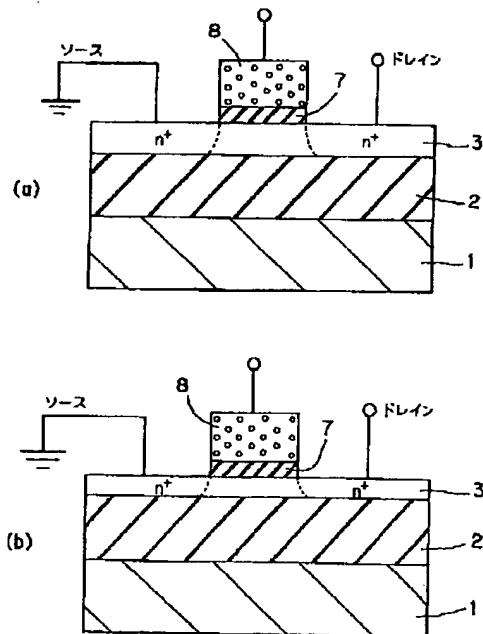
【図3】



【図4】



【図5】



【図6】

